

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-331053

(43)公開日 平成9年(1997)12月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/146		H 0 1 L 27/14	A
	27/14			D
	31/10		31/10	A

審査請求 未請求 請求項の数4 OL (全 7 頁)

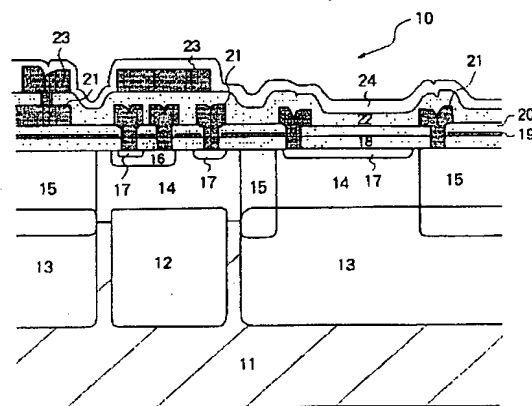
(21)出願番号	特願平8-149132	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成8年(1996)6月11日	(72)発明者	山崎 陽一 鹿児島県国分市野口北5番1号 ソニー国分株式会社内
		(72)発明者	荒井 千広 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	弁理士 高橋 光男

(54) 【発明の名称】 受光素子を有する半導体装置及びその製造方法

(57) 【要約】

【課題】 経済的に製造できる遮光構造を備えた、受光素子を有する半導体装置及びその製造方法を提供する。

【解決手段】 本フォトＩＣ１０は、Ｐ型Ｓｉ基板１１内にバイポーラ・トランジスタ及びフォトダイオードの拡散層１２～１５を備えている。更に、フォトＩＣは、基板全面に第１絶縁膜１８を、受光素子の受光部を除いた基板領域上に膜厚が３００ｎｍより薄い遮光膜１９を、次いで基板全面に第２絶縁膜２０を備えている。第２絶縁膜２０上には、第１金属配線層２１が形成され、電極ホールを埋める電極プラグ２１により所定の拡散領域と導通している。電極プラグ２１が遮光膜１９と接触しないように、遮光膜１９の電極ホール開口は第１絶縁膜１８及び第２絶縁膜２０の開口より大きくなっている。第１金属配線層上に、第３絶縁膜２２、第２金属配線層２３及びオーバーパシベーション膜２４を備えている。本フォトＩＣでは、絶縁膜の平滑化工程が不要になる。



- | | |
|---------------------|-------------------|
| 10 ~ 本実装例のフォト IC | 18 ~ 第 1 絶縁膜 |
| 11 ~ P 型 Si 基板 | 19 ~ 遮光膜 |
| 12 ~ N 型埋込み層 | 20 ~ 第 2 絶縁膜 |
| 13 ~ P 型埋込み層 | 21 ~ 第 1 金属配線層 |
| 14 ~ N 型エピタキシャル層 | 22 ~ 第 3 絶縁膜 |
| 15 ~ PN 分離イソレーション領域 | 23 ~ 第 2 金属配線層 |
| 16 ~ P 型拡散層 | 24 ~ オーバーパシベーション膜 |
| 17 ~ N 型拡散層 | |

【特許請求の範囲】

【請求項1】 受光素子及び受光素子とは異なる別の半導体素子を有し、受光素子の受光部を除く領域に形成された遮光膜と、少なくとも一層の金属配線層とを基板上に備える半導体装置において、

遮光膜が、金属配線層より下に形成されていることを特徴とする受光素子を有する半導体装置。

【請求項2】 金属配線層が、基板の拡散領域に導通する最下層の金属配線層であることを特徴とする請求項1に記載の受光素子を有する半導体装置。

【請求項3】 遮光膜が、受光素子の受光部領域を除く絶縁膜上に形成され、かつ基板の拡散領域に導通する最下層の金属配線層と電気的に接続されていることを特徴とする請求項1又は2に記載の受光素子を有する半導体装置。

【請求項4】 受光素子を有する半導体装置を製造する方法であって、

受光素子及び受光素子とは異なる別の半導体素子の拡散領域が形成された半導体基板上に第1絶縁膜を形成する工程と、

遮光膜を第1絶縁膜上全面に形成する工程と、

受光素子の受光部領域及び半導体素子の電極部領域から遮光膜を除去して遮光膜に開口を形成する工程と、

基板上全面に第2絶縁膜を形成する工程と、

第2絶縁膜、遮光膜開口及び第1絶縁膜を貫通して拡散領域に達する電極ホールを形成し、かつ電極ホールを埋める金属配線層を形成する工程とを有することを特徴とする受光素子を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、受光素子を有する半導体装置及びその製造方法、更に詳細には経済的に形成できる遮光構造を備えた、受光素子を有する半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 フォトダイオードと、フォトダイオード以外の半導体素子、例えばトランジスタ、抵抗等を1チップに集積化したフォトIC (Integrated Circuit) は、通常、光を透過する透明モールドでパッケージするか、もしくはベアチップ状態で光ピックアップに組み込んで使用される。そこで、フォトICでは、フォトダイオード以外の半導体素子の電気的性能が光照射により影響されるのを防止するために、フォトダイオードの受光部を除くチップ領域は、通常、最上層に形成された金属配線層により遮光されている。

【0003】 ここで、図12を参照しながら、フォトダイオードとNPN型バイポーラ・トランジスタとを有し、2層の金属配線層を備えた、従来例のフォトIC30の層構造について説明する。N型埋め込み層12、P型埋め込み層13、N型エピタキシャル成長層14、P

N分離アイソレーション域15、P型拡散層16及びN型拡散層17が、図12に示すように、バイポーラ・トランジスタ、フォトダイオード及びその他半導体素子の通常の形成プロセスを適用して、P型Si基板11内に形成されている。更に、半導体基板上には、SiO₂膜からなる第1絶縁膜28が基板全面に、第1金属配線層31が素子拡散領域上に、及び第2絶縁膜32が基板全面に、それぞれ形成され、更に、第2絶縁膜32は平滑化されている。また、第1電極プラグ31が第1絶縁膜28を貫通して第1金属配線層31と拡散領域とを導通している。第2絶縁膜32上には、第2金属配線層33が、遮光膜兼配線層として、フォトダイオードの受光部を除く基板領域に、更に、膜厚70nm程度の窒化Si膜からなるオーバーパシベーション膜34が第2金属配線層33上で基板全面に、順次、形成されている。

【0004】

【発明が解決しようとする課題】 従来のフォトICでは、上述のように、最上層の金属配線層、上述の例では第2金属配線層を配線層兼用の遮光膜として使用し、受光素子以外の半導体素子の性能が光入射により影響されるのを防止している。ところで、最上層の金属配線層により遮光しようとする、その金属配線層は配線層としての自由度が制約されるために、配線層として使用することが性能的にまた形状的に難しく、下層の金属配線層のみを配線層として使わざるを得なくなっている。これでは、結果的に、配線に用いる金属層が1層減るということになって、配線設計及び配線加工が困難になり、チップサイズの拡大をも招いている。そのために、上述のフォトICを例にすると、更に別の第3の金属層を配線層として設けざるを得なくなっている。しかし、第3の金属層を別途設けようすると、工程数がそれだけ増えて、フォトICの製造コストが嵩むと言う問題があった。以上の説明では、フォトICを例にして説明したが、この問題は受光素子を有する他の半導体装置についても同様である。

【0005】 そこで、本発明の目的は、経済的に製造できる遮光構造を備えた、受光素子を有する半導体装置及びその製造方法を提供することである。

【0006】

【課題を解決するための手段】 上記目的を達成するために、受光素子を有する本発明に係る半導体装置は、受光素子及び受光素子とは異なる別の半導体素子を有し、受光素子の受光部を除く領域に形成された遮光膜と、少なくとも一層の金属配線層とを基板上に備える半導体装置において、遮光膜が、金属配線層より下に形成されていることを特徴としている。

【0007】 遮光膜の膜厚は、所要の遮光性を有する限り薄くて良く、また材質も限定はなく、例えば膜厚200～300nmのアルミニウム合金膜を好適に使用できる。本発明では、配線層に比べて遙に薄い金属層が遮光

3

膜として金属配線層の下に形成されているので、遮光膜の上に成膜する膜、例えば層間絶縁膜の平滑化工程が不要になる。また、遮光膜の膜厚が薄いので、最上層の金属配線層を遮光膜専用として転用する従来のフォトICに比べて、配線構造の多層化、微細化が容易である。また、従来、最上層の金属膜を遮光専用として形成する場合、その遮光用金属膜の下層の金属配線層による段差を低減する為、遮光用金属膜と金属配線層との間の層間絶縁膜等の平滑化を行う必要があった。しかし、本発明では、薄膜遮光膜を金属配線層の下に形成しているの、層間絶縁膜等の平滑化工程を不要にすることができる。従って、層間絶縁膜の平滑化工程を省略するには、基板の拡散領域に導通する最下層の金属配線層の下に遮光膜を設けることが好ましい。更には、基板の拡散領域に導通する最下層の金属配線層と遮光膜と電気的に接続して、遮光膜を回路上の最高電位又は基板電位と導通させる場合にも、遮光用金属膜直上の金属配線膜と半導体基板とのコンタクトホールを形成する際、同時に遮光膜直上の金属配線膜と遮光膜のコンタクトホールが形成できるので、コンタクト形成工程が1工程削減できる。

【0008】本発明に係る製造方法は、受光素子を有する半導体装置を製造する方法であって、受光素子及び受光素子とは異なる別の半導体素子の拡散領域が形成された半導体基板上に第1絶縁膜を形成する工程と、遮光膜を第1絶縁膜上全面に形成する工程と、受光素子の受光部領域及び半導体素子の電極部領域から遮光膜を除去して遮光膜に開口を形成する工程と、基板上全面に第2絶縁膜を形成する工程と、第2絶縁膜、遮光膜開口及び第1絶縁膜を貫通して拡散領域に達する電極ホールを形成し、かつ電極ホールを埋める金属配線層を形成する工程とを有することを特徴としている。

【0009】

【発明の実施の形態】以下、添付図面を参照し、実施例に基づいて本発明をより詳細に説明する。

実施例 1

本実施例は、本発明に係る半導体装置の実施例であって、図1は、その半導体装置の構成を示す層構造図である。本実施例の半導体装置10では、少なくともフォトダイオード及びNPN型トランジスタを有し、1層の遮光膜と、2層の金属配線層とを基板上に備えるフォトICである。本実施例のフォトIC10は、図12に示す従来のフォトIC30と同様、図1に示すように、N型埋め込み層12、P型埋め込み層13、N型エピタキシャル成長層14、PN分離アイソレーション域15、P型拡散層16及びN型拡散層17が、バイポーラ・トランジスタ及びフォトダイオード等の既知の形成プロセスによりP型Si基板11内に形成されている。

【0010】更に、基板上に、順次、SiO₂膜からなる第1絶縁膜18が基板全面に、その上に、アルミニウム合金からなる膜厚が300nmより薄い遮光膜19が

4

受光素子の受光部を除いた基板領域上に、更に、SiO₂膜からなる第2絶縁膜20が基板全面に、それぞれ成膜されている。成膜された各層には、所定の拡散領域に達する電極ホールが貫通している。第2絶縁膜20上には、第1金属配線層21が形成され、電極ホールを埋める電極プラグ21により所定の拡散領域と導通している。電極プラグ21が遮光膜19と接触しないように、遮光膜19の電極ホール開口は第1絶縁膜18及び第2絶縁膜20の開口より大きくなっている。平滑化された第3絶縁膜22が第1金属配線層21上で基板全面に、第2金属配線層23がバイポーラ・トランジスタ領域及び他の素子領域に、順次、形成されている。更に、基板全面に膜厚70nm程度の窒化Si膜からなるオーバーパシベーション膜24が成膜されている。また、第2金属配線層23は、電極プラグ23により第1金属配線層21に導通している。

【0011】実施例 2

本実施例は、受光素子を有する半導体装置の本発明に係る製造方法の実施例であって、図2から図9は、本実施例方法の各工程毎の基板の層構造を示す断面図である。本実施例では、始めに、図2から図4に示すように、フォトダイオード及びバイポーラICの通常の形成プロセスに従ってSi基板内部に拡散層を形成し、バイポーラ・トランジスタ、及びフォトダイオードを作り込む。

【0012】先ず、図2に示すように、PR技術により形成したレジスト膜又はSiO₂膜のマスクパターンを用いて、N型及びP型不純物をそれぞれP型Si基板11に拡散させ、N型拡散層12及びP型拡散層13を形成し、更に基板全面にN型エピタキシャル成長層14を形成する。次いで、図3に示すように、高エネルギー・高ドーズのイオン・インプランテーションにより基板内にP型分離拡散層15を形成し、バイポーラ・トランジスタ、フォトダイオード及び他の半導体素子に必要なP型拡散層16及びN型拡散層17をそれぞれ分離する。

【0013】次いで、図4に示すように、不純物拡散層が形成された半導体基板上に常圧CVD法により膜厚600nm程度のSiO₂膜からなる第1絶縁膜18を形成する。更に、図5に示すように、第1絶縁膜18上に膜厚300nm以下のAl層をスパッタ法により成膜し、遮光膜19とする。このAl層は、遮光膜としてのみ使用し、配線としては使用しないので、遮光できる程度の厚さで良く、薄くて構わない。次いで、図6に示すように、バイポーラ・トランジスタ、フォトダイオード及び他の半導体素子の電極部の領域及びフォトダイオード受光部の領域から選択的に遮光膜19をRIE法によりエッチングし、更に、SiO₂膜からなる第2絶縁膜20をプラズマCVD法にて堆積させた後に、第1電極ホール26を開く。その後、図7に示すように、金属配線層を形成する通常のプロセスに従って、1%のSiを含むAl合金をスパッタし、そのAl合金層をRI

5

E法にてエッチングして、第1金属配線層21及び電極プラグ21を形成する。この時、第1金属配線層21が、第1電極ホール26の周縁で遮光膜19上に必ず重なりを持って、完全に遮光するように、遮光膜19の開口寸法、金属配線層の幅等を設計し、かつ加工を制御する。

【0014】第1金属配線層21を形成した後、図8に示すように、プラズマCVD法により膜厚1 μ m程度のシリコンナイトライド膜からなる第3絶縁膜22を基板全面に形成する。次いで、図9に示すように、金属配線層の通常形成プロセスに従って、1%のSiを含むAl合金をスパッタ法により成膜し、続いてRIE法にて

10

	従来方法	本発明方法
基板内の拡散領域の形成	○	○
第1絶縁膜の成膜	○	○
第1電極の形成	○	— (電極無し)
第1金属層のスパッタ	○	○ (遮光膜)
窓開け	○	○
RIE	○	○
第2絶縁膜の成膜	○	○
平滑化	○	—
第3絶縁膜の成膜	○	—
第2電極の形成	○	○
第2金属層のスパッタ	○	○
窓開け	○	○
RIE	○	○
第4絶縁膜の成膜	○	○
平滑化	○	○
第5絶縁膜の成膜	○	○
第3電極の形成	○	○
第3金属層のスパッタ (遮光)	○	○ (配線層)
窓開け	○	○
RIE	○	○
オーバーコート膜の成膜	○	○

【0016】以上の工程の比較から、本実施例のフォトICの製造方法では、工程数が従来のフォトICに比べて少ない。よって、製造コストが節減され、かつ品質管理も容易である。本発明においては、膜厚の薄い第1金属層を遮光膜として薄く形成しているため、その上の層間絶縁膜の平滑化の工程を削減できる。

【0017】実施例1の変形例1

実施例1では、遮光膜19をエッチングする際に、バイポーラ・トランジスタなどの素子の電極部に導通する電極プラグと遮光膜の開口の位置ズレ或いは寸法ズレを考慮して、遮光膜の開口の大きさに十分なトレランスを取る必要がある。また、電極ホール26の周縁で第1金属配線層21と遮光膜19とを重ね合わせて、遮光性能を向上させる必要もある。そこで、本変形例では、図10に示すように、実施例1と異なり、第2金属配線層23

50

6

所定パターンにエッチングして、第2金属配線層23及び第1金属配線層21と導通する第2電極プラグ23を形成する。最後に、プラズマCVD法により膜厚70nm程度のオーバーパシベーション膜24を形成する。以上の工程により、図1に示したフォトIC10を得ることができる。

【0015】以下の表1に、実施例1と同じ2層の金属配線層と1層の遮光膜を金属配線層上に有する従来のフォトICの製造方法と実施例2の製造方法とを対比して、実施例1のフォトIC10の構成上の利点及び実施例2の利点を説明する。表1で○はその工程が必要なことを意味し、—は不要であることを意味する。

表1

をフォトダイオードの受光部領域を除いた基板領域全体に延在させ、第2金属配線層23によっても遮光を行うようにすることもできる。

【0018】実施例1の変形例2

また、図11に示すように、第1金属配線層21と半導体基板とのコンタクト形成を行う際に、遮光膜19と第1金属配線層21とのコンタクトも同時に形成し、遮光膜19と第1金属配線層21とを電気的に導通させることもできる。これにより、遮光膜の電気的な導通、即ち回路上の最高電位との導通、又はSi基板電位との導通を簡単に確立できる。また、遮光膜19を電気的に導通させるためのコンタクト形成工程及びコンタクト形成工程に必要なマスクパターンも不要になるので、製造コストをそれだけ削減することができる。これに対して、従来の方法は、通常の3層配線プロセスと全く同一であ

7

り、Al合金層の第3金属配線層を遮光膜として使用しており、第1電極、第2電極及び第3電極を介して、回路上の最高電位もしくは、Si基板電位に導通していた。

【0019】

【発明の効果】本発明によれば、金属配線層、好適には基板の拡散領域に導通する最下層の金属配線層より下に遮光膜を設けることにより、従来例と同じ遮光性能を有しつつ、低コストで製造できる遮光構造を備えた、受光素子を有する半導体装置を実現している。特に、本発明に係る受光素子を有する半導体装置は、従来のものに比べて、層間絶縁膜の平滑化工程等を削減したり、また、配線用のコンタクト形成工程で遮光膜の電氣的導通を確立したりして、工程数の少ないプロセスにより製造することができるので、経済的かつ品質管理が容易である。また、本発明に係る製造方法は、本発明の半導体装置の製造に好適な方法を実現している。

【図面の簡単な説明】

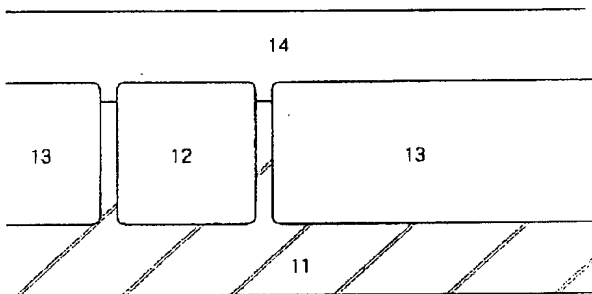
【図1】本発明に係るフォトICの層構造を示す断面図である。

【図2】図1に示すフォトICの製造工程の第1段階での基板断面図である。

【図3】フォトICの製造工程の第2段階での基板断面図である。

【図4】フォトICの製造工程の第3段階での基板断面図である。

【図2】



8

【図5】フォトICの製造工程の第4段階での基板断面図である。

【図6】フォトICの製造工程の第5段階での基板断面図である。

【図7】フォトICの製造工程の第6段階での基板断面図である。

【図8】フォトICの製造工程の第7段階での基板断面図である。

【図9】フォトICの製造工程の最終段階での基板断面図である。

【図10】実施例1のフォトICの変形例1の基板断面図である。

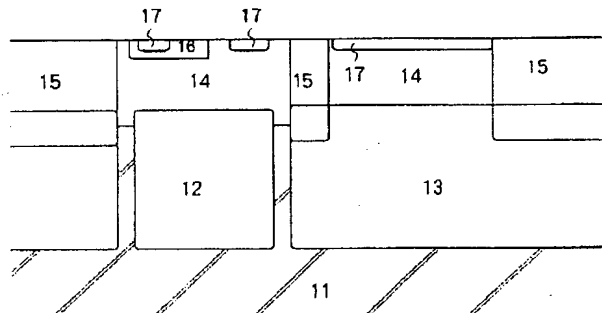
【図11】実施例1のフォトICの変形例2の基板断面図である。

【図12】従来のフォトICの基板断面図である。

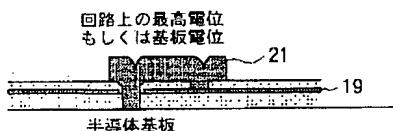
【符号の説明】

10……本発明に係る半導体装置の実施例、11……P型Si基板、フォトIC、12……N型埋め込み層、13……P型埋め込み層、14……N型エピタキシャル成長層、15……PN分離アイソレーション域、16……P型拡散層、17……N型拡散層、18……第1絶縁膜、19……遮光膜、20……第2絶縁膜、21……第1金属配線層、電極プラグ、22……第3絶縁膜、23……第2金属配線層、24……オーバーパシベーション膜。

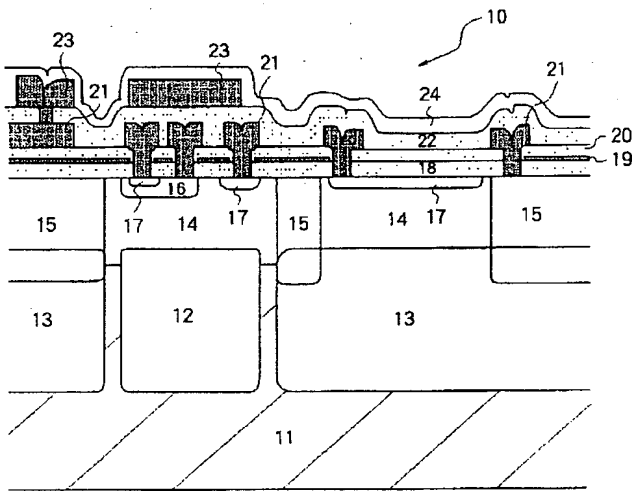
【図3】



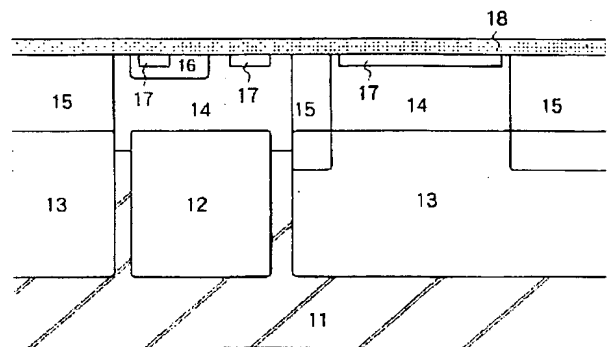
【図11】



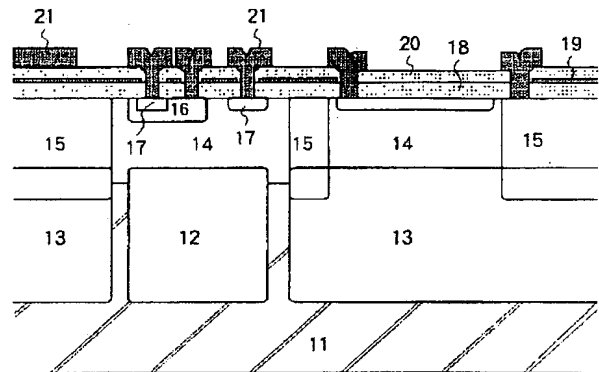
【図 1】



【図 4】



【図 7】



10 ~ 本実施例のフォト IC

11 ~ P 型 Si 基板

12 ~ N 型埋込み層

13 ~ P 型埋込み層

14 ~ N 型エピタキシャル層

15 ~ PN 分離アイソレーション域

16 ~ P 型拡散層

17 ~ N 型拡散層

18 ~ 第 1 絶縁膜

19 ~ 遮光膜

20 ~ 第 2 絶縁膜

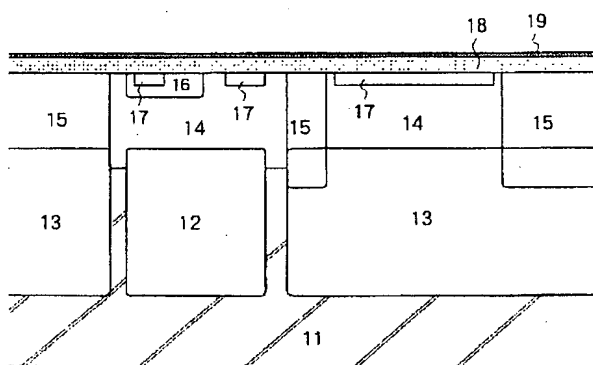
21 ~ 第 1 金属配線層

22 ~ 第 3 絶縁膜

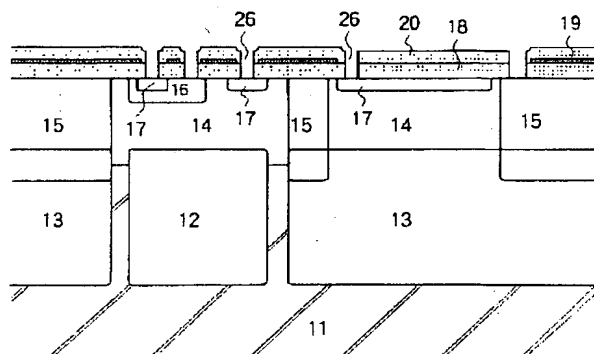
23 ~ 第 2 金属配線層

24 ~ オーバーバシベーション膜

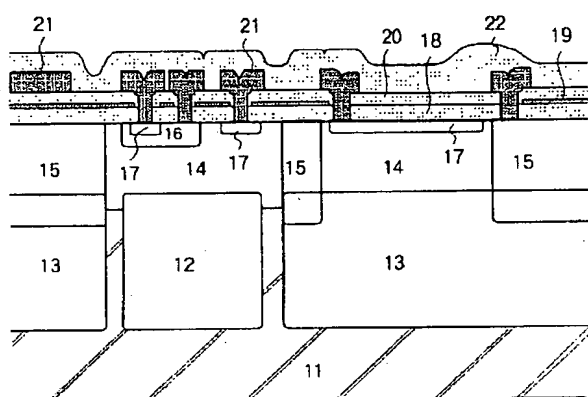
【図 5】



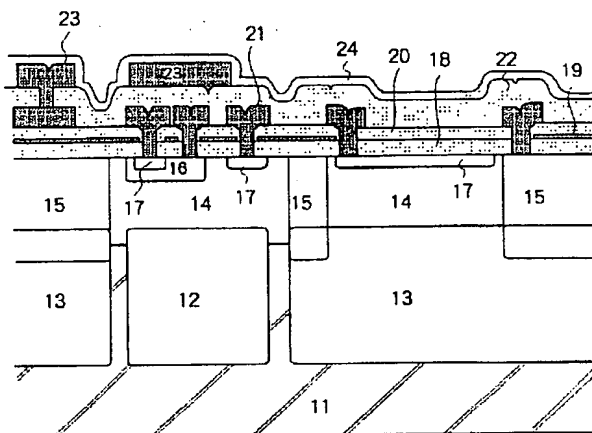
【図 6】



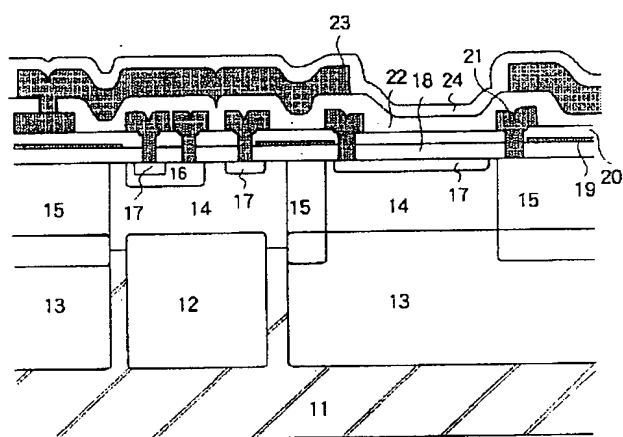
【図8】



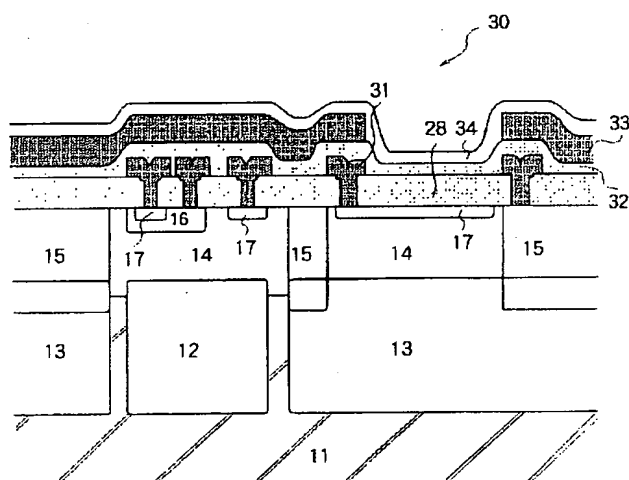
【図9】



【図10】



【図12】



- | | |
|-------------------|------------------|
| 11 ~P型 Si 基板 | 17. ~N型拡散層 |
| 12 ~N型埋込み層 | 28 ~第1絶縁膜 |
| 13 ~P型埋込み層 | 30 ~従来のフォト IC |
| 14 ~N型エピタキシャル層 | 31 ~第1金属配線層 |
| 15 ~PN分離アイソレーション域 | 32 ~第2絶縁膜 |
| 16 ~P型拡散層 | 33 ~第2金属配線層 |
| | 34 ~オーバーパシベーション膜 |